

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

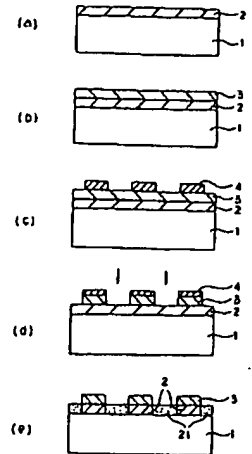
IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**

(11) 1-199453 (A) (43) 10.8.1989 (19) JP
 (21) Appl. No. 63-24192 (22) 4.2.1988
 (71) FUJITSU LTD (72) YOSHIHIRO BOKU
 (51) Int. Cl. H01L21/88, H01L39/24

PURPOSE: To stabilize superconduction characteristics avoiding a wet etching process by a method wherein unnecessary parts of an insulator layer covering the upper part of a ceramics superconductor layer are removed by dry etching and the composition ratio of the constituent elements in parts, which are exposed by the etching, of the superconductor layer is changed and the above parts are converted into insulating films.

CONSTITUTION: A ceramics superconductor layer 2 is formed on a substrate 1 and after a prescribed insulator layer 3 is formed on the layer 2, masks 4 are formed on the upper part of the layer 3 according to a wiring pattern. Then, after parts, which are not covered with the masks 4, of the layer 3 are removed by dry etching, the composition ratio of the constituent elements in parts, which are exposed by the etching, of the layer 2 is changed and the above parts are converted into insulating layers 2i. For example, the layer 3 consisting of Si_3N_4 and so on is formed on the upper surface of the layer 2 and the resist layer 4 is formed thereon. Then, after the layer 3 is processed into a wiring pattern by dry etching, the exposed parts of the layer 2 are subjected to dry etching using chlorine gas and are converted into the layers 2i.

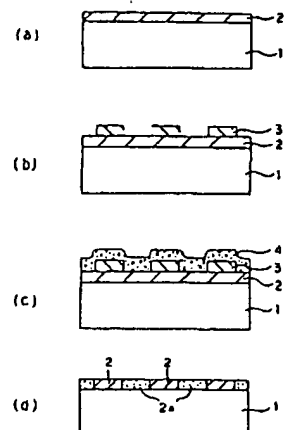


(54) MANUFACTURE OF SUPERCONDUCTOR ELEMENT

(11) 1-199454 (A) (43) 10.8.1989 (19) JP
 (21) Appl. No. 63-24188 (22) 4.2.1988
 (71) FUJITSU LTD (72) YOSHIHIRO BOKU
 (51) Int. Cl. H01L21/88, H01L39/24

PURPOSE: To stabilize superconduction characteristics subsequent to the formation of a device and moreover, to conduct the fine processing of a superconductor element by a method wherein the upper part of a ceramics insulator layer is covered with masks to deposit superfine particles on the upper parts of the masks and the insulator layer, a substrate is heated while oxygen is fed, and parts, which are not covered with the masks, of the insulator layer are converted into superconductor layers.

CONSTITUTION: The composition ratio of the constituent elements of a ceramics superconductor layer is changed using elements capable of constituting the superconductor layer to form an insulator layer 2 on a substrate 1 and masks 3 are formed on the layer 2 according to a wiring pattern. Then, superfine particles consisting of elements convertible from the layer 2 into a superconductor layer among the constituent elements of the ceramics superconductor layer are deposited on the masks 3 and the layer 2 to form a superfine particle layer 4. Then, the substrate 1 is heated while oxygen is fed to the layer 4 and parts, which are not covered with the masks 3, of the layer 2 are converted into superconductor layers 2a. For example, the layer 2 is made into one of a composition of $\text{Y}_2\text{Ba}_2\text{CuO}_x$ and the layer 4 is made into one consisting of superfine particles of Ba and Cu of a composition ratio of elements able to convert the layer 2 into a superconductor layer.

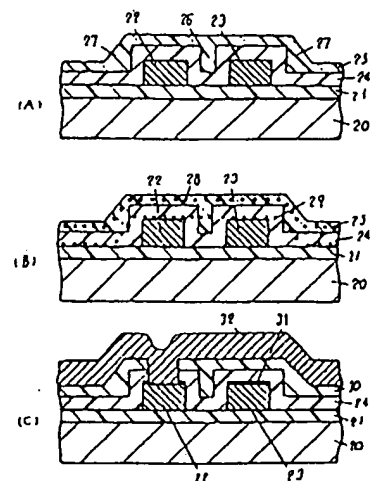


(54) MANUFACTURE OF SEMICONDUCTOR INTEGRATED CIRCUIT

(11) 1-199456 (A) (43) 10.8.1989 (19) JP
 (21) Appl. No. 63-24223 (22) 4.2.1988
 (71) MATSUSHITA ELECTRIC IND CO LTD (72) TADAO YONEDA
 (51) Int. Cl. H01L21/90

PURPOSE: To eliminate the generation of cracks in a coat film at the time of heat treatment and to prevent a hillock from generating in first-layer wirings by a method wherein a first insulating film is formed on a substrate formed with the first conductor wirings and after a second insulating film is formed by a spin coating method, oxygen ions are implanted in the substrate to heat-treat the substrate.

CONSTITUTION: First conductor wirings 22 and 23 are formed on a semiconductor substrate 20, a first insulating film 24 is formed thereon and moreover, a second insulating film 25 is formed thereon by a spin coating method. Then, after oxygen ions are implanted in the above substrate, the above substrate is heat-treated. For example, an SiO_2 film 21 is formed on the Si substrate 20, the firstlayer Al wirings 22 and 23 are formed, the SiO_2 film 24 is formed and moreover, an organic Si-containing alcohol solution is applied to form the coat film 25. Then, oxygen ions are implanted in the substrate to form implanted regions 28 and 29 and thereafter, when the substrate is heat-treated at 400-450°C in an N_2 gas or O_2 gas-containing atmosphere, the film 25 is converted into an SiO_2 film 30 and an oxide film 31 is formed on the surfaces of the wirings 22 and 23. After that, a second layer Al wiring 32 is formed.



⑫ 公開特許公報(A) 平1-199456

⑤ Int. Cl.⁴
H 01 L 21/90識別記号 庁内整理番号
Q-6708-5F

⑬ 公開 平成1年(1989)8月10日

審査請求 未請求 請求項の数 2 (全3頁)

⑭ 発明の名称 半導体集積回路の製造方法

⑮ 特 願 昭63-24223

⑯ 出 願 昭63(1988)2月4日

⑰ 発 明 者 米 田 忠 夫 大阪府門真市大字門真1006番地 松下電器産業株式会社内
⑱ 出 願 人 松下電器産業株式会社 大阪府門真市大字門真1006番地
⑲ 代 理 人 弁理士 中 尾 敏 男 外1名

明 細 書

1、発明の名称

半導体集積回路の製造方法

2、特許請求の範囲

(1) 半導体基板上に第1の導体配線を形成する工程と、前記基板上に第1の絶縁膜を形成する工程と、前記基板上に回転塗布法により第2の絶縁膜を形成する工程と、前記基板上に酸素イオンを注入する工程と、前記基板を熱処理する工程とを備えてなる半導体集積回路の製造方法。

(2) 第2の絶縁膜を形成後、前記第2の絶縁膜を所定の厚さだけ除去した後、基板上に酸素イオンを注入する工程を備えている特許請求の範囲第1項に記載の半導体集積回路の製造方法。

3、発明の詳細な説明

産業上の利用分野

本発明は半導体集積回路の製造方法に関する。

従来の技術

従来の半導体集積回路の製造に際してのアルミニウム配線形成工程の断面図を第3図に示す。

シリコン基板1上に SiO_2 膜2が形成されていて、第一層目のアルミ配線3、4を形成し、光CVD法またはプラズマCVD法により SiO_2 膜5を形成する。その上に有機シリコンを有機溶剤に溶かした液体を回転塗布法により塗布膜6を形成する(第3図A)。

次に470℃で N_2 ガス中もしくは O_2 ガス中で熱処理すると、塗布膜6は SiO_2 膜7に変わる。そしてアルミ配線3上の SiO_2 を除去し、第2のアルミ配線8を形成する(第3図B)。

発明が解決しようとする課題

塗布膜6を SiO_2 膜7に変える場合、第3図Bに示すように、体積収縮により膜の厚い領域にクラック9、10が生じる。また、温度を上げて熱処理するために第一層目のアルミ配線4にヒロック11が生じ、配線4と配線8間がショートする確率が多くなるという問題がある。

課題を解決するための手段

第1の導体配線を形成した後、第1の絶縁膜を形成し、回転塗布法により第2の絶縁膜を形成す

る。そして前記基板上に酸素イオンを注入して熱処理する。そうすると第2の絶縁膜は低溫の熱処理によって SiO_2 膜に変えることができる。

作用

本発明によれば、第2の絶縁膜に酸素がイオン注入され、低溫の熱処理で絶縁性の高い SiO_2 膜に変えることができる。また、第1の導体配線の表面に酸化膜が形成され、第3図Bに示すようなヒロック11が形成されない。

実施例

アルミニウム配線を形成した場合の本発明の第1の実施例を第1図A～Cに示す。

シリコン半導体基板20上に厚さ約1 μm の SiO_2 膜21を形成し、第1層目のアルミニウム配線22, 23を形成する。そして光CVDまたはプラズマCVD法によって厚さ約0.5 μm の SiO_2 膜24を形成する。その後有機シリコンを含んだアルコール溶液を回転塗布法で塗布し、塗布膜25を形成する。この場合平坦部の厚さは約0.15 μm 、凹部26は厚さ約0.5 μm の厚さ、段差部27は平坦部よ

り厚くなる(第1図A)。

そして第1の実施例の場合と同じように上記基板を400～450℃、 N_2 ガスもしくは O_2 ガス中で熱処理すると、有機シリコンの塗布膜25は SiO_2 膜30に変わる。またアルミニウム配線22, 23上にアルミニウムの酸化膜31が形成される。その後プラズマCVD法により厚さ約0.3 μm の SiO_2 膜41を形成する(第2図B)。

その後、第1図Cに示すように第1層目配線22上の絶縁膜を除去し、第2層目配線のためのアルミニウム配線32を形成する。

上記第2の実施例の場合は第1の実施例の場合に比べて酸素イオン注入は1回で良い。

また、 SiO_2 膜41を形成する工程を省略しても良い。

上記第1, 第2の実施例のように有機シリコン塗布膜25の中に酸素イオンが注入されると、低溫の熱処理によって反応し、 SiO_2 膜に変化する。

また、酸素ガス中で熱処理すると表面付近は

りも厚くなる(第1図A)。

次に、酸素イオンを基板に注入する。100 KeV、 $5 \sim 5 \times 10^{15}$ ions/cm²の酸素イオンを注入し、表面から約0.2 μm に注入領域28を形成する。そして約200 KeV、 $5 \sim 5 \times 10^{15}$ ions/cm²の条件で注入し、表面から約0.5 μm に注入領域29を形成する(第1図B)。

上記基板を400～450℃、 N_2 ガスもしくは O_2 ガス中で熱処理すると有機シリコンの塗布膜26は注入された酸素原子と反応して SiO_2 膜30に変わる。また、アルミニウム配線22, 23表面はアルミニウムの酸化膜31が形成される。その後、第1層目配線22上の絶縁膜を除去し、第2層目配線のためのアルミニウム配線32を形成する(第1図C)。

第2の実施例を第2図A, Bに示す。

第1図Aに示すように塗布膜26を形成した後、ドライエッチ技術を用いた異方性エッチを行い、 SiO_2 膜24を露出させる。そうすると凹部および段差部に塗布膜26が残り、表面が平坦になる。その後約180 KeV、 $5 \sim 5 \times 10^{15}$ ions/cm²の条件

SiO_2 に変化するが深部は変化しない。ところが深部に酸素をイオン注入すると深部も低溫で熱処理するだけで SiO_2 に変化する。故に凹部や段差部の厚い塗布膜領域も低溫処理で SiO_2 膜に変えることができる。

また、アルミニウム配線23表面に酸素イオンが注入されると、表面にアルミニウムの酸化膜が形成される。そうするとアルミニウム配線23にヒロックの発生がおさえられ、アルミニウム配線23, 32間のショート率が減少する。また、アルミニウム配線のマイグレーションもおさえられ、配線の断線率も減少する。

発明の効果

本発明によれば注入された酸素により、低溫の熱処理により有機シリコンの塗布膜26は SiO_2 膜に変化するし、第1層目のAl配線31上にはアルミニウムの酸化膜が形成される。

故に、熱処理の際に塗布膜にクラックが生じることはないし、第1層目の配線にヒロックが生じることはないし、配線の断線が生じることはない。ので高歩留の多層配線を得ることができる。

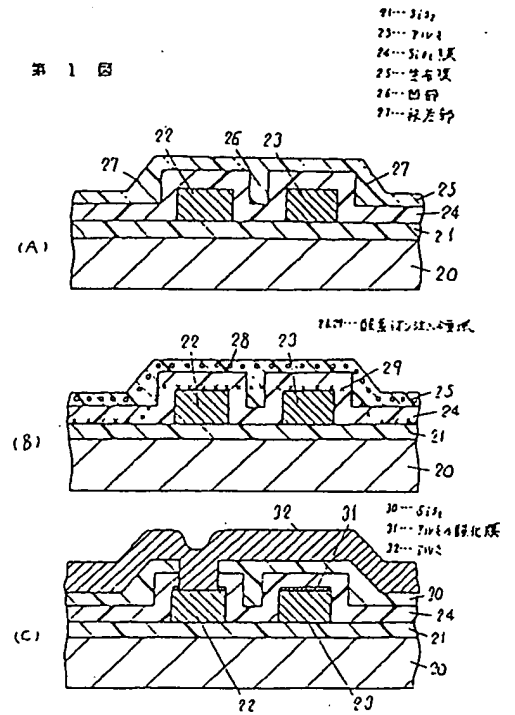
4. 図面の簡単な説明

第1図は本発明の第1の実施例のアルミニウム配線形成のプロセスを示す断面図、第2図は本発明の第2の実施例のプロセスを示す断面図、第3図は従来のアルミニウム配線形成のプロセスを示す断面図である。

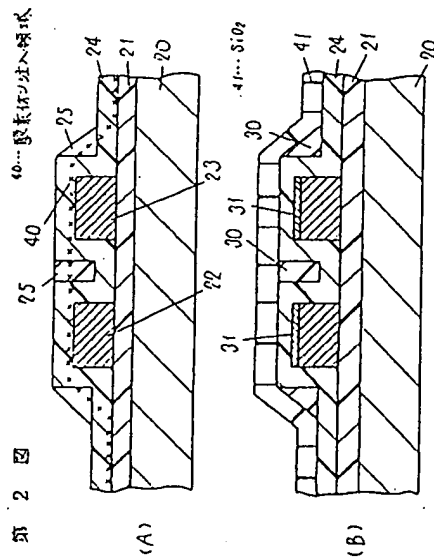
25……塗布膜、28、29、40……酸素イオン注入領域、21、24、30、41…… SiO_2 膜、31……アルミの酸化膜。

代理人の氏名 弁理士 中 尾 敏 男 ほか1名

第 1 図



第 2 図



第 3 図

